

PATENT OFFICE

JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : November 28, 2002
Application Number : Patent Application No. 2002-345530
Applicant (s) : Renesas Technology Corp.

Dated this 8th day of October, 2003

Yasuo IMAI
Commissioner,
Patent Office
Certificate No. 2003-3083056

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 8 日
Date of Application:

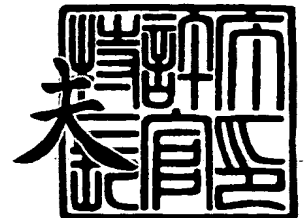
出 願 番 号 特 願 2 0 0 2 - 3 4 5 5 3 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 4 5 5 3 0]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 NT02P0726

【提出日】 平成14年11月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 43/08

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 松岡 秀行

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 伊藤 顕知

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 阪田 健

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 伊藤 清男

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気半導体記憶装置

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板上に、互いに平行に配置された第 1 および第 2 のワード線と、

絶縁層を介して、前記第 1 および第 2 のワード線に交差するビット線と、

前記第 1 のワード線と前記ビット線との間に配置されたトランジスタおよび前記第 2 のワード線と前記ビット線との間に配置された磁気抵抗素子とを有するメモリセルとを備え、

前記磁気抵抗素子は、前記半導体基板上に形成された複数の積層膜がパターンニングされて柱状の形状をなし、その少なくとも側面が絶縁層を介して前記第 2 のワード線で覆われていることを特徴とする磁気半導体記憶装置。

【請求項 2】

半導体基板と、

前記半導体基板上に、互いに平行に配置された第 1 および第 2 のワード線と、

絶縁層を介して、前記第 1 および第 2 のワード線に交差するビット線と、

前記第 1 のワード線と前記ビット線との間に配置されたトランジスタおよび前記第 2 のワード線と前記ビット線との間に配置された磁気抵抗素子とを有するメモリセルとを備え、

前記磁気抵抗素子は、前記半導体基板上に形成された複数の積層膜がパターンニングされて角柱状をなし、その上面及び 2 つの側面が絶縁層を介して前記第 2 のワード線で覆われていることを特徴とする磁気半導体記憶装置。

【請求項 3】

前記トランジスタにおいて、チャネル領域を走行する電子の方向が前記半導体基板の主表面に対して垂直方向であることを特徴とする請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 4】

前記トランジスタは、そのチャネル部が多結晶シリコンからなることを特徴と

する請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 5】

前記ビット線は、少なくともその上面が軟磁性体膜で覆われていることを特徴とする請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 6】

前記第 2 のワード線の少なくとも一面が軟磁性体膜で覆われていることを特徴とする請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 7】

前記磁気抵抗素子は、強磁性体、トンネル絶縁膜および強磁性体膜の積層膜からなることを特徴とする請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 8】

前記第 2 のワード線が絶縁膜を介して、前記ビット線の周囲を少なくとも 3 方向から覆っていることを特徴とする請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 9】

前記軟磁性体は、パーマロイ (Ni₈₁Fe₁₉) であることを特徴とする請求項 5 又は 6 に記載の磁気半導体記憶装置。

【請求項 10】

前記ビット線は、前記第 1 と第 2 のワード線の間に延在していることを特徴とする請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 11】

前記ビット線は、前記第 2 のワード線と前記磁気抵抗素子の間に延在していることを特徴とする請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 12】

前記磁気抵抗素子の形状は、短辺と長辺を有する矩形であり、その長辺方向が前記ビット線と垂直方向であることを特徴とする請求項 1 又は 2 に記載の磁気半導体記憶装置。

【請求項 13】

半導体基板と、

前記半導体基板上に形成された複数のワード線と、
前記複数のワード線と交差する複数のビット線と、
前記複数のワード線と前記複数のビット線との交点に配置されたメモリセルとを含むメモリアレイとを備え、

前記メモリセルは、前記半導体基板の主表面に対して垂直の方向に形成されたチャネル領域を有する縦型トランジスタと、

前記縦型トランジスタの上方に配置された磁気抵抗素子とからなり、前記ワード線は前記縦型トランジスタのゲート電極であり、かつ、絶縁膜を介して前記磁気抵抗素子の少なくとも2側面を覆っていることを特徴とする磁気半導体記憶装置。

【請求項14】

前記ビット線は、少なくともその上面が軟磁性体膜で覆われていることを特徴とする請求項13に記載の磁気半導体記憶装置。

【請求項15】

前記第2のワード線の少なくとも一面が軟磁性体膜で覆われていることを特徴とする請求項13に記載の磁気半導体記憶装置。

【請求項16】

前記磁気抵抗素子の形状は、短辺と長辺を有する矩形であり、その長辺方向が前記ビット線と垂直方向であることを特徴とする請求項13に記載の磁気半導体記憶装置。

【請求項17】

前記ビット線に流す電流の向きを変えることにより、スピンの反転し、それに伴いデータの反転を行なうことを特徴とする請求項13に記載の磁気半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関する。特に、磁気抵抗効果を利用することにより高速かつ不揮発性を有する、ランダムアクセスメモリ（RAM）に関する。

【 0 0 0 2 】

【従来の技術】

既存の代表的半導体メモリである、DRAM及びFLASH両者の長所を兼ね備える、次世代の高速不揮発メモリとして、MRAM(Magnetic Random Access Memory)への期待が高まっている。

【 0 0 0 3 】

MRAMは、強磁性スピントネル接合(MTJ:Magnetic Tunnel Junction)のトンネル磁気抵抗効果(TMR:Tunnel Magneto Resistance)を利用した、高速不揮発メモリである。IBMがInfineonと共同で2004年に256Mビットを製品化する、と発表して以来、その注目度が高まり、学会発表レベルではMotorolaがシンポジウム・オン・VLSI・サーキット・ダイジェスト・オブ・テクニカル・ペーパーズ(非特許文献1を参照)の中で、1Mbのアレイを試作し、そのメモリ動作の確認を報告している。

【 0 0 0 4 】

以下に簡単にMRAMの動作原理を説明する。まず、メモリ機能の基となる、MTJのTMRについて述べる。MTJは例えば、図2に示すように、2つの強磁性層(1, 3)の間に薄いトンネル絶縁膜(2)を挟んだものである。この構造のトンネルコンダクタンスは2つの強磁性体のフェルミレベルにおける、状態密度の積に比例する。図3には、2つの強磁性体のスピンの向きが、平行の場合(a)と反平行の場合(b)の状態密度を比較して示す。トンネルの前後でスピンの向きは保存されるので、図3から明らかなように、平行の場合、トンネル抵抗は小さく、一方、反平行の場合は大きい。この結果、強磁性スピントネル接合の片方のスピンの向きを固定し、もう片方のスピンの向きを外部磁場により変化させると、図4に示すようなヒステリシス特性を示し、メモリとなることがわかる。スピンの反転速度はnsecのオーダーであり、また磁場を印加しなくても、スピンの向きは固定されるので、高速不揮発メモリとしての動作が期待される。

【 0 0 0 5 】

図5、6にはそれぞれ、これまでに発表されているMRAMの等価回路と断面構造を示す。次に、図5、6に示したMRAMにおける書きこみ及び読出し動作を説明す

る。書きこみ時には、ビット線（６）と書きこみワード線（７）に電流を流し、発生する合成磁場により、選択されたセルにおいてスピンの向きを書き込む。非選択セルにおいては、印加磁場が小さい為に、スピンの向きが変化することは無い。読出しの際には、読出しワード線（８）をオンにし、共通グラウンド線（１３）とビット線（６）の間を流れる電流により、'0'、'1'を判別する。

【0006】

【非特許文献１】

「シンポジウム・オン・VLSI・サーキット・ダイジェスト・オブ・テクニカル・ペーパーズ（2002 Symposium On VLSI Circuits Digest of Technical Papers）」、2002年、p.160-163

【0007】

【発明が解決しようとする課題】

以上で述べたように、MRAMにおいては、書き込みワード線及びビット線に電流を流し、発生する合成磁界を用いて、データの書き込みを行なう。この際、書き込みワード線（７）は、TMR素子から距離的に離れている為に、原理的に、データ書き込み時に大電流を流す必要がある。従って、消費電力が大きいという問題点があった。また、配線のマイグレーション信頼性確保の観点からも、書き込み電流を低減することが必須であった。

【0008】

よって、本発明の目的は、MRAMにおいて書き込みに必要な消費電力を低減し、また同時に配線の信頼性も向上する半導体記憶装置を提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置においては、互いに平行して配置された第一及び第二のワード線と、絶縁層を介して該第一及び第二のワード線に交差するデータ線と、該第一及び第二のワード線と該データ線の交点に配置された多数のメモリセルとを含むメモリアレイを有し、

該多数のメモリセルの各々は、磁気抵抗素子とトランジスタとを含み、該第二

のワード線は間に絶縁層を介して該磁気抵抗素子の周囲を少なくとも 3 方向から覆っていることを特徴とする半導体記憶装置により、課題を解決できる。

【0 0 1 0】

【発明の実施の形態】

本発明においては、図 1 に示すような、書き込みワード線 (7) が TMR 素子 (5) を覆った構造とした。以下、本構造の効果を説明する。書き込みワード線 (7) の両端に電位差を与えることにより、矢印に示した向きに電流を流す。矢印を記した 3 つの部分から TMR に対して発生する磁場はすべて、紙面裏側から表に向かう。従って、3箇所からの磁場が TMR 素子に対して印加されることになり、図 7 に示した従来例に比べて実効的に磁場が増大する。

【0 0 1 1】

シミュレーションにより検討した、本発明の効果を図 8 に示す。従来配線構造に比べて、約 3 倍の磁場が発生することになる。これは、低電力化という観点から見ると、データ書き込みに必要な電流を約 1/3 に低減できることを示している。

【0 0 1 2】

本発明の実施の形態について、実施例を用いて以下に詳しく述べる。

< 実施例 1 >

本実施例は、選択トランジスタと TMR 素子からなる MRAM において、その低電力化を達成する半導体記憶装置の製造方法に関するものである。選択トランジスタは Si 基板表面上に形成される、通常のトランジスタを用いた。以下製造工程を辿りながら説明する。

【0 0 1 3】

通常の半導体形成プロセスを用いて、p 型半導体基板 (9) 内に選択トランジスタを形成して、図 9 のようになる。このときのレイアウトを図 10 に示す。尚、図 9 は図 10 に示した AA 部分の断面図である。続いて、層間絶縁膜 (17) を堆積し平坦化した後、コンタクトを開口する。次に導電プラグ (18) を形成し、共通電極線 (13) を形成して、図 11 のようになった。この共通電極線 (13) は周辺回路における、第 1 ローカル配線となる。図 12 にはこの時のレイアウト

トを示す。本実施例においては、導電プラグ（18）及び共通電極線（13）は共にタングステンをを用いた。続いて、層間膜（1701）を堆積し、導電プラグを形成後、後にTMR素子となる積層磁性膜（1，2，3）を堆積する。ここでは、上からNiFe/CoFe/AlO_x/NiFe/IrMnの構造を有する積層膜を用いた。勿論、TMR効果を表わすものであれば、他の材料でも構わない。さらに厚さ50nmのタングステンW（19）を堆積する。勿論、Wの代わりにTiNやアルミ等の金属を用いることも可能である。次に、図13に示すように、読み出しワード線（8）と並行方向に、積層膜を分離する。この時の上面図を図14に示す。さらに、層間絶縁膜（1702）を堆積、平坦化し下地のW（19）を露出させる。

【0014】

次に、ビット線となる膜厚100nmのタングステン（6）及び膜厚100nmのシリコン酸化膜（1703）を堆積し、レジストをマスクに、ワード線（8）と垂直方向に分離する。さらに、ビット線（6）をマスクに、自己整合的に下地のW（19）と磁性積層膜を加工して、図15のようになる。ビット線（6）は周辺回路の第2ローカル配線となる。この時の上面図を図16に示す。尚、図16においては、わかりやすくするために、活性領域（20）及びワード線（8）を、共通電極線（13）及びビット線（6）上のシリコン酸化膜（1703）の上に描いている。また、図17には、図16におけるBB部分、すなわち図15とは垂直方向の断面図を示す。さらに、ビット線（6）をマスクに下地の層間絶縁膜（1702）をエッチングし、図18のようになった。続いて、図19のように、CVD法により膜厚50nmのシリコン酸化膜（1704）を堆積する。次に、書き込みワード線（7）となる膜厚50nmのタングステンを堆積し、通常のホテルソグラフィ及びドライエッチ工程により、ビット線と垂直方向に分離して、図20のようになる。この時の上面図を図21に示す。

以降は、通常の配線プロセス工程により、多層配線を形成して、所望の半導体装置を得た。

【0015】

最後に本実施例におけるメモリアレイ動作を簡単に述べる。読み出し動作は、図33に示すように、メモリアレイの中で選択した読み出しワード線WRをハイレ

ベルにすることにより、TMR素子抵抗に応じて、所望のデータ線を介して流れる電流IDLを検出することにより行う。この際、書き込みワード線WWには電流は流さない。一方、書き込み動作は次のようになる。図21に示したようにTMRは形状異方性を有し、その長手方向はビット線（1703方向に走る）の方向と並行である。この結果として、スピンの向きは書き込みワード線（7）に流す電流の向きによって規定されることになる。従って、書き込み動作は、図34に示すように、選択されたデータ線の電流IDLを、書き込みビット線電流IDSとし、選択した書き込みワード線に書き込みデータに応じた書き込み電流IW1あるいはIW0を流すことにより磁界を発生させて行う。

【0016】

本実施例によれば、書き込みWLがTMRを3面から覆う構造になるので、従来に比べてより効果的に磁場印加が可能になる。この結果として、低電力動作が可能になる。

【0017】

<実施例2>

本実施例は実施例1よりも更に低電力化を実現する方法に関するものである。この目的のために、ビット線をNiFe等の軟磁性体で覆った構造とした。この結果、磁性体で覆った部分からの磁界の漏れを防止し、発生磁界はさらに強くなり、さらなる低電力化を達成した。以下に図面を用いて製造方法を説明する。

【0018】

製造工程の前半は実施例1と同様である。具体的には図9から図14までは実施例1と同じ製造工程を行なう。続いて、ビット線となるタングステンを100nmの厚さで堆積する。次に磁気シールドの目的から、NiFe等の軟磁性体（21）を厚さ10nmで堆積する。さらに、厚さ100nmのシリコン酸化膜を堆積する。これらの積層膜を、通常のリソグラフィ及びドライエッチ工程により、読み出しワード線と垂直方向に分離し、図22のようになる。この時のレイアウトは図16と同じである。

【0019】

さらに、ビット線（6）側面の磁気シールドを目的に、NiFe等の軟磁性体（2

101)を堆積したのち、通常の異方性ドライエッチングにより、側壁膜加工をして、図23のようになる。尚、図23は図22と垂直方向、即ち、図16におけるBB部分の断面図である。続いて、軟磁性体(2101)で覆われたビット線をマスクに自己整合的に下地の酸化膜をエッチングして、図24のようになる。

【0020】

次に、書き込みワード線とビット線の電氣的絶縁の為に、シリコン酸化膜(1704)を50nm堆積した後、書き込みワード線(7)となる膜厚50nmのタンゲステンを堆積して図25のようになる。続いて、通常のホテル、ドライエッチ工程により、書き込みワード線をビット線と垂直方向に分離して、図21のようになる。以降は、通常の配線プロセス工程により、多層配線を形成して、所望の半導体装置を得た。

【0021】

本実施例によれば、ビット線が軟磁性体で覆われる結果として、磁気シールドされる為、より効果的にビット線からの磁場をTMR素子に対して印加することが可能になる。従って、書き込み電流の低減が可能になり、低電力化が図れる。勿論、本実施例において、書き込みワード線もビット線と同様なプロセス工程により、磁気シールドを有する構造にすることが可能であることはいうまでもない。この場合、さらなる、低電力化が達成される。

【0022】

<実施例3>

実施例1, 2においては、MRAMの選択トランジスタとして、通常の平面形トランジスタを用いた。本実施例は、この選択トランジスタを縦型にすることにより、セル面積の縮小を実現するものである。MRAMにおいては、DRAMとは異なり、セルトランジスタのリーク電流はメモリ機能に対して、致命的な影響を与えるものではない。これは、情報をスピンの向きで保持するからである。そこで、本実施例においては、縦型トランジスタを多結晶シリコンを用いて形成することにより、プロセスの簡便化を実現した。以下、図面を用いて説明する。

【0023】

まず、通常の製造プロセスにより、周辺回路のトランジスタを形成する。層間

絶縁膜（17）堆積後コンタクトプラグを作り、更にタングステンからなる第一ローカル配線を形成する。メモリアレイにおいては、この配線層を共通グラウンド線（13）として用いる。この時の状態を示したものが、図26である。次に、層間絶縁膜（1701）を堆積し、不純物を高濃度に含むポリシリプラグ（23）を形成し、メモリセル毎に分離し、図27のようになる。続いて、縦型トランジスタ及びTMR部を形成する。ここでは、以下の順に膜を堆積する。まず、縦型トランジスタの拡散層となる不純物を高濃度にドーピングしたN⁺層（10）、チャネル部となる低濃度不純物層（22）、更に拡散層となるN⁺層（1001）、を堆積する。これらがトランジスタ部となる。もちろん、この際、レーザーアニール等の手法を用いることにより、上記の多結晶シリコンを単結晶化することも可能である。この場合、トランジスタの性能が向上することは言うまでも無い。

【0024】

次にTMR素子（5）を構成する膜として、NiFe、Al₂O₃、CoFeの順に堆積する。更には、加工マージンを確保する為に、厚さ50nmのタングステンW（19）を堆積する。この積層膜を通常のホトリソグラフィ及びドライエッチ工程により、ラインアンドスペース状に加工する。引き続き、層間絶縁膜（1702）を堆積し、CMPにより平坦化及び、下地のタングステンW（19）を露出させ図28のようになる。

【0025】

次にビット線（6）となる膜厚100nmのタングステン、磁気シールドのためのNiFe（21）及びシリコン酸化膜（1703）を堆積する。これを、先に形成した、共通電極線（13）と垂直方向に走る、ラインアンドスペース状に加工し、図29のようになる。この工程により、ビット線（6）とTMR素子（5）が電氣的に接続されることになる。尚、本実施例においては、ビット線の線間容量を低減する目的で、ビット線幅の細線化を行った。具体的には、ビット線レジストパタンの露光後に、アッシングプロセスを施した。

【0026】

次に、選択トランジスタのワード線（7）の形成を行う。ワード線（7）とビット線（6）の短絡を防ぐ目的で、ビット線（6）に側壁酸化膜（1704）を

形成する。この側壁酸化膜で覆われたビット線をマスクに下地のTMR素子及び積層多結晶シリコン膜をエッチングして、図30のようになる。

続いて、10nmの膜厚のゲート酸化膜を形成し、更にはワード線(7)となるタングステンを堆積/平坦化する。本実施例においては、タングステンをを用いたが、間にバリアメタルを挟んだタングステンと多結晶シリコンの積層膜や、ポリサイド等を用いても勿論構わない。次に、通常のドライエッチ法により、タングステンを、ビット線(6)と垂直方向に走る、ラインアンドスペース状に加工し図31のようになる。ワード線(7)加工の際、電極材料を平坦化した効果として、ビット線高さのみのエッチング段差となる。図31においては、ビット線(6)の高さとキャップ酸化膜(1703)の高さ、を合わせた段差となる。尚、本実施例においては、選択トランジスタのワード線(7)を、書きこみワード線としても用いることが可能である。その際、データ書き込み時には、選択トランジスタの閾値電圧以下の電位差をワード線の両端に与えることにより、余分な電流が流れないようにした。

【0027】

最後に、必要な金属配線層を形成し、所望の半導体装置を得た。本実施例においては、書き込みワード線がTMR素子に近接して配置されているため、従来に比べて、はるかに低電力化が可能である。また、縦型トランジスタを用いることにより、最小セル面積の半導体記憶装置を実現した。また、選択トランジスタのゲート電極と書き込みワード線を共通化することにより、プロセスの簡易化、コストの低減を達成した。

【0028】

本実施例には以下のような特長がある。即ち、TMR素子のスピンの向きをビット線に流す電流の向きで規定することができるため、ロウ系の設計負荷を低減することが可能である。特に本実施例のように、選択トランジスタのゲート電極と書き込みワード線を共通になっているような場合にはその恩恵は大きい。以下に図面を用いて、この効果を説明する。図32にTMR素子の上面から見た時の形状を示す。本実施例においては、製造工程から明らかなように、自己整合的にTMR素子の形状が決まるので、図32に示したように、TMRの形状は異方性を有し、

その長手方向はビット線（1 7 0 3 の方向に走る）の方向と垂直である。ビット線に電流を流して発生する磁場の向きは、ビット線方向とは垂直になるので、図 3 2 に示した TMR 素子の場合、そのスピンの向きはビット線電流の向きで決まることになる。

【 0 0 2 9 】

最後に本実施例におけるメモリアレイ動作を簡単に述べる。読み出し動作は、図 3 5 に示すように、メモリアレイの中で選択した読み出しワード線 WW をハイレベルにすることにより、TMR 素子抵抗に応じて、所望のデータ線を介して流れる電流 IDL を検出することにより行う。この際、ワード線（7）の両端は等電位に保つことにより、データの誤書き込み（ディスタ urb）を防ぐ。一方、書き込み動作は、図 3 6 に示すように、選択されたワード線の電流 IWW を、書き込みワード線電流 IWW とし、選択したビット線に書き込みデータに応じた書き込み電流 ID1 あるいは ID0 を流すことにより磁界を発生させて行う。

【 0 0 3 0 】

【発明の効果】

本発明によれば、トンネル磁気抵抗を利用した MRAM において、書き込みワード線が TMR の周囲を覆った構造にすることにより、データ書き込み時に、TMR に印加される実効的な磁場を増大させることができる。この結果として、データ書き込み時の消費電流を低減し、チップ全体として、低電力化を図ることが可能になる。

【図面の簡単な説明】

【図 1】

本発明の MRAM における TMR 素子と書き込みワード線の配置を示す図。

【図 2】

強磁性スピントンネル接合（TMR 素子）の構造。

【図 3】

(a) MTJ においてスピンの向きが平行の場合の状態密度。

(b) MTJ においてスピンの向きが反平行の場合の状態密度。

【図 4】

トンネル抵抗の磁場依存性。

【図 5】

MRAMメモリセルの等価回路。

【図 6】

従来のMRAMメモリセル構造。

【図 7】

従来のMRAMにおけるTMR素子と書き込みワード線の配置を示す図。

【図 8】

本発明による発生磁界の増大効果を示す図。

【図 9】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 1 0】

本発明の半導体記憶装置の 1 製造工程における上面図。

【図 1 1】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 1 2】

本発明の半導体記憶装置の 1 製造工程における上面図。

【図 1 3】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 1 4】

本発明の半導体記憶装置の 1 製造工程における上面図。

【図 1 5】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 1 6】

本発明の半導体記憶装置の 1 製造工程における上面図。

【図 1 7】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 1 8】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 1 9】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 2 0】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 2 1】

本発明の半導体記憶装置の 1 製造工程における上面図。

【図 2 2】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 2 3】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 2 4】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 2 5】

本発明の半導体記憶装置の 1 製造工程における断面図。

【図 2 6】

本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 2 7】

本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 2 8】

本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 2 9】

本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 3 0】

本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 3 1】

本発明の半導体記憶装置の 1 製造工程における鳥瞰図。

【図 3 2】

本発明の半導体記憶装置の 1 製造工程における上面図。

【図 3 3】

本発明の 1 実施例における読み出し動作を示す図。

【図 3 4】

本発明の 1 実施例における書き込み動作を示す図。

【図 3 5】

本発明の 1 実施例における読み出し動作を示す図。

【図 3 6】

本発明の 1 実施例における書き込み動作を示す図。

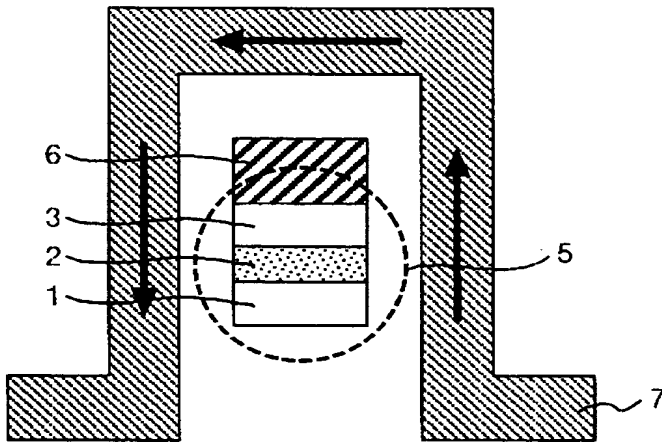
【符号の説明】

1－強磁性体、2－トンネル絶縁膜、3－強磁性体、4－選択トランジスタ、5－TMR素子、6－ビット線、7－書きこみワード線、8－読出しワード線、9－Si基板、10－不純物拡散層、11、1101、1102、1103－導電プラグ、12、1201、1202、1203－導電層、13－共通グラウンド線、14、1401、1402、1403－シリコンチッカ膜、15－素子分離領域、16、1601－ゲート絶縁膜、17、1701、1702、1703、1704－シリコン酸化膜、18、1801－導電プラグ、19－タンゲステン、20－活性領域（素子形成領域）、21、2101－軟磁性膜（NiFe等）、22－チャネルシリコン、23－導電プラグ。

【書類名】 図面

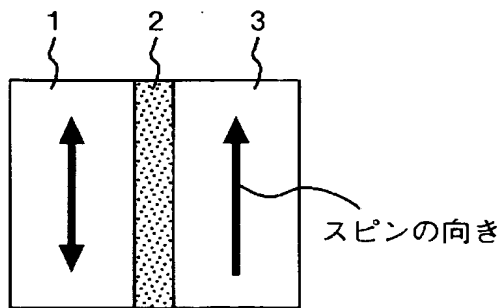
【図 1】

図 1



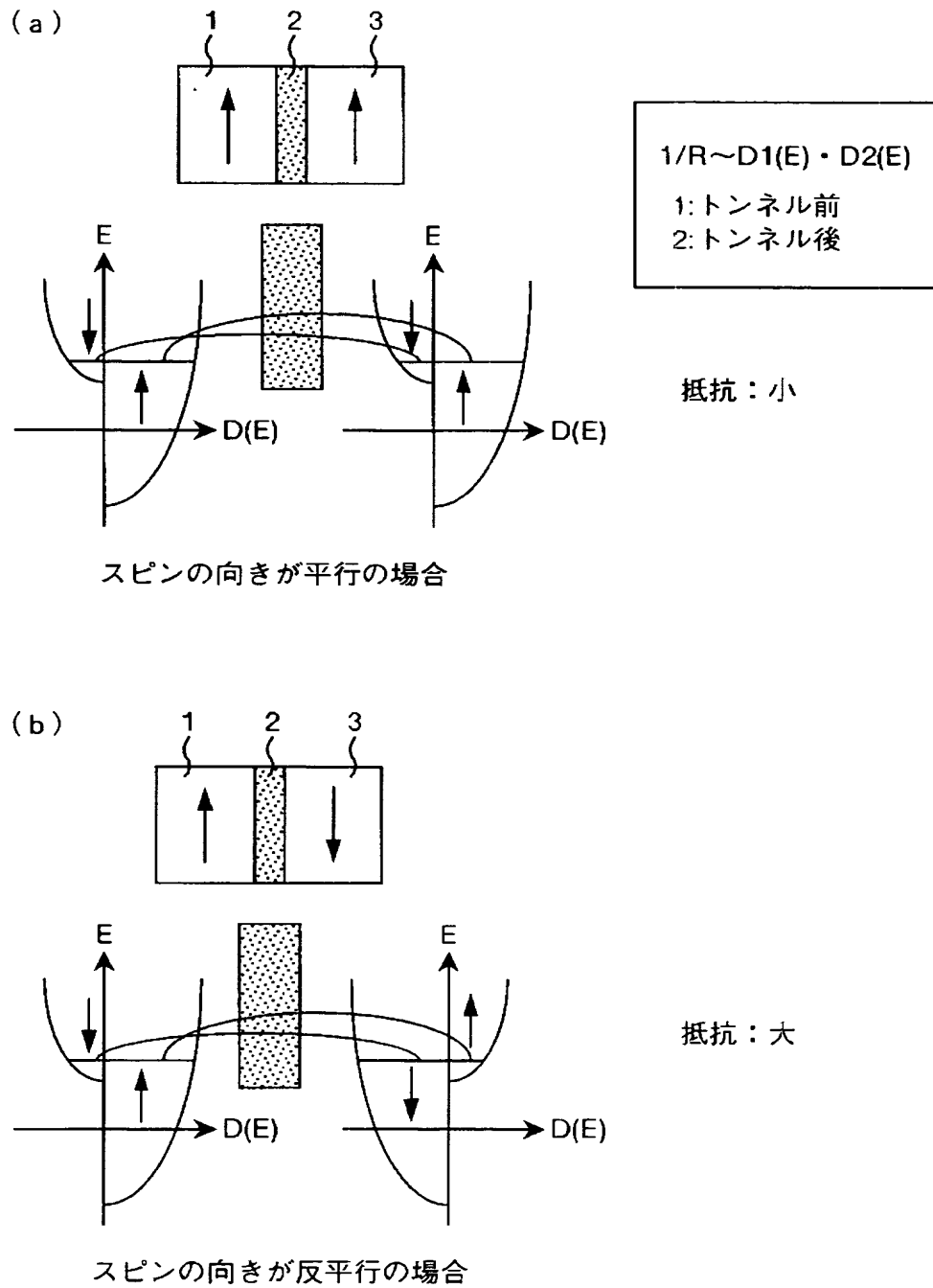
【図 2】

図 2



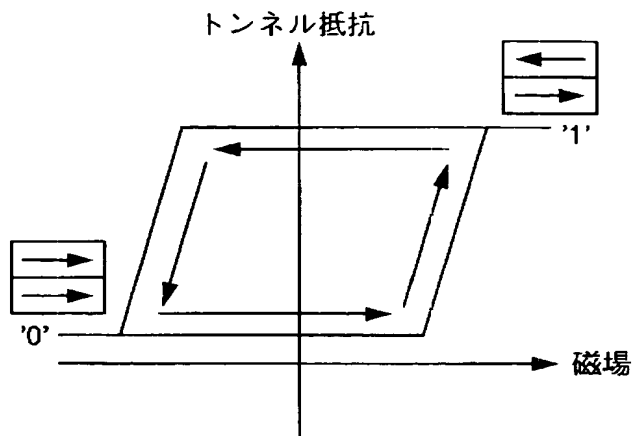
【図 3】

図 3



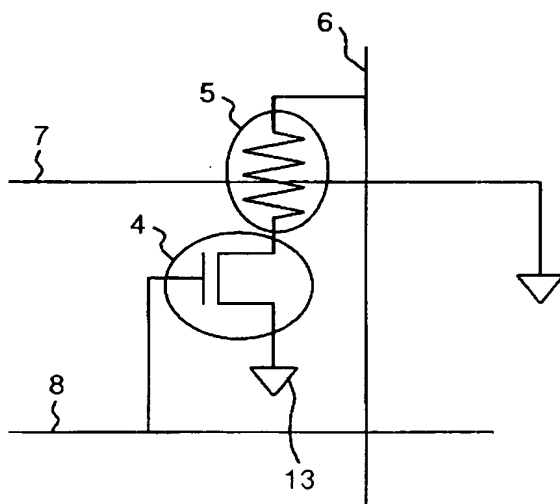
【図 4】

図 4



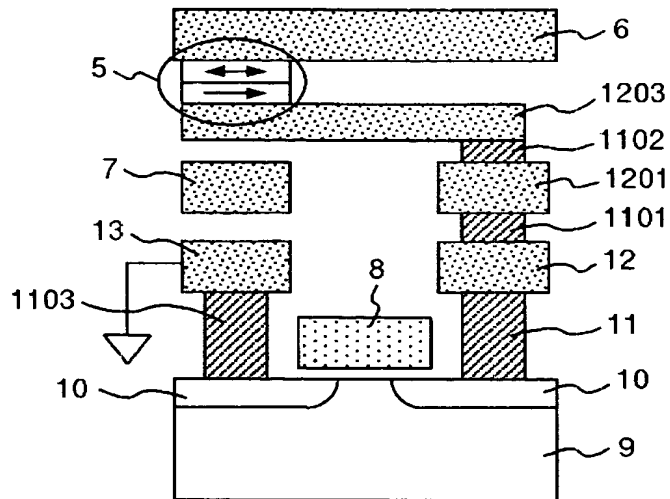
【図 5】

図 5



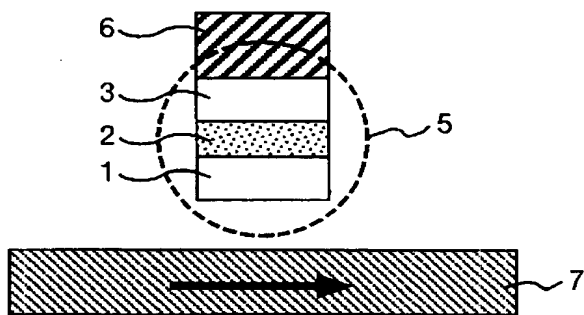
【図 6】

図 6



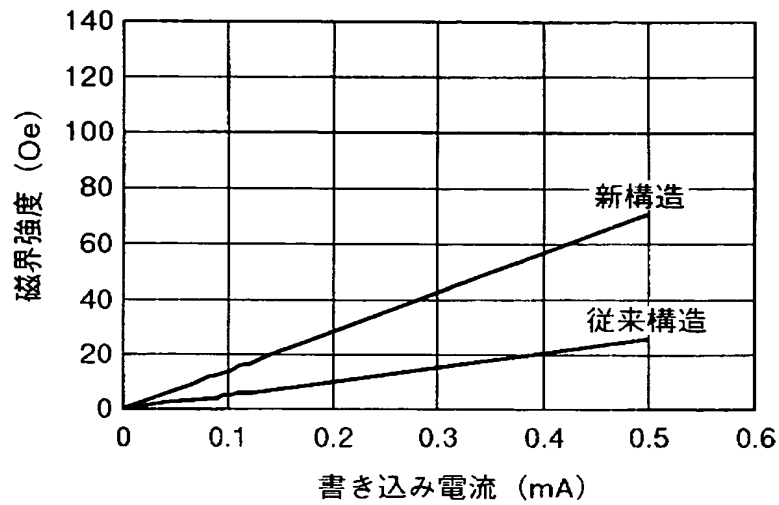
【図 7】

図 7



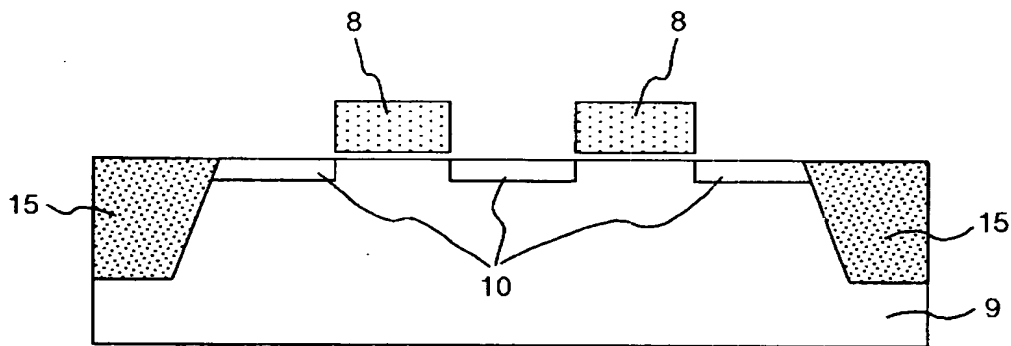
【図 8】

図 8



【図 9】

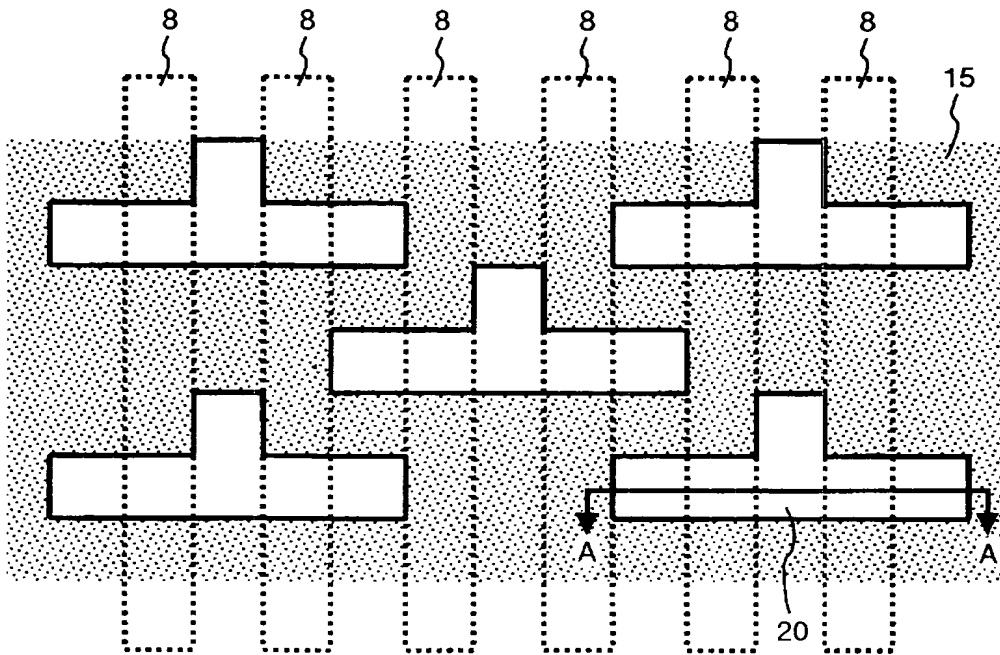
図 9



(図10中AA部分の断面図)

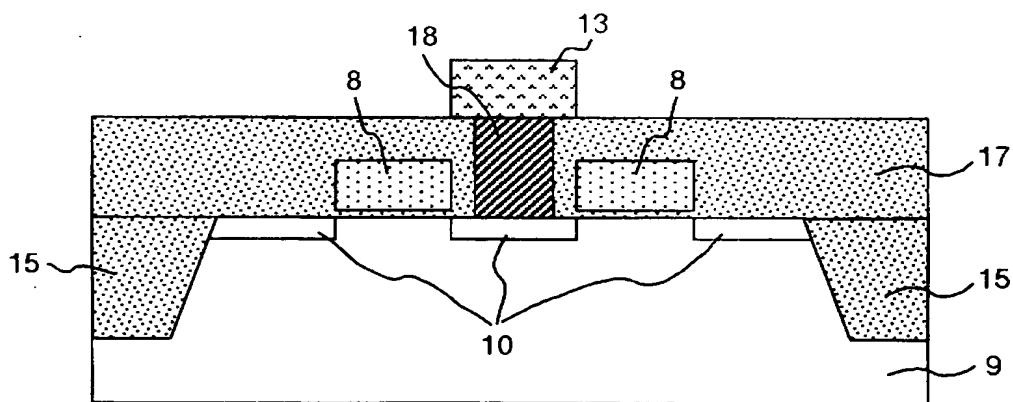
【図 10】

図 10



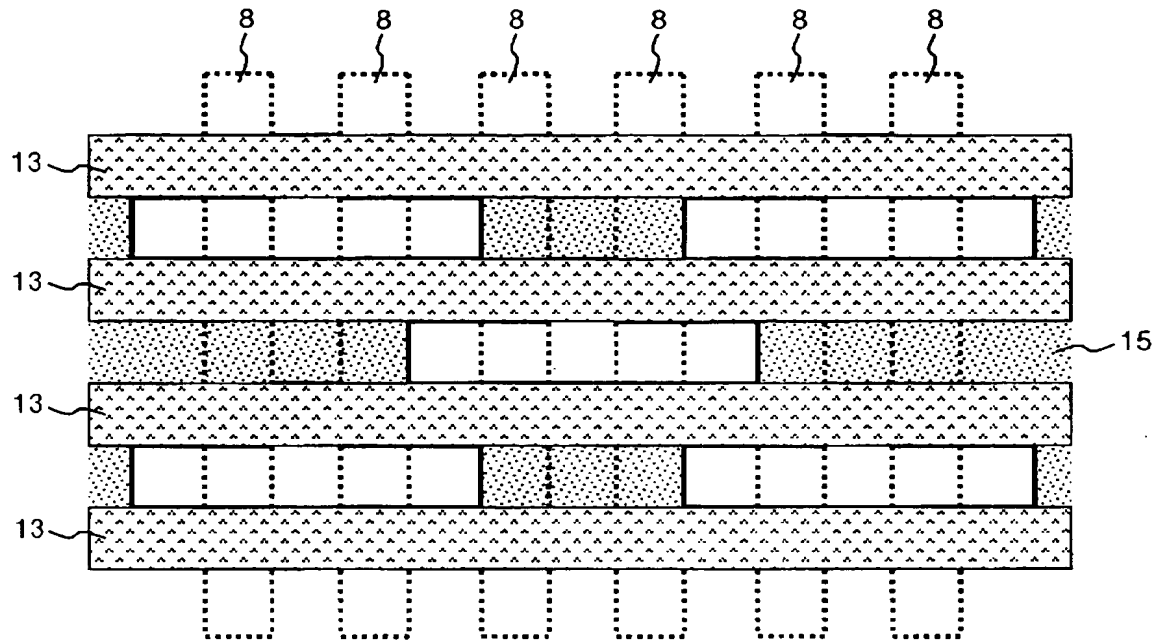
【図 11】

図 11



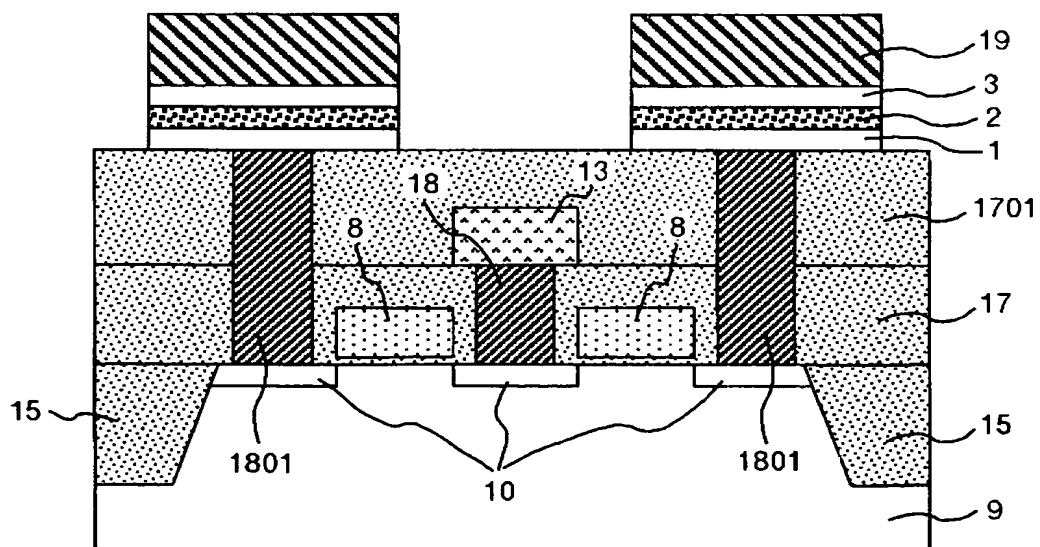
【図 1 2】

図 1 2



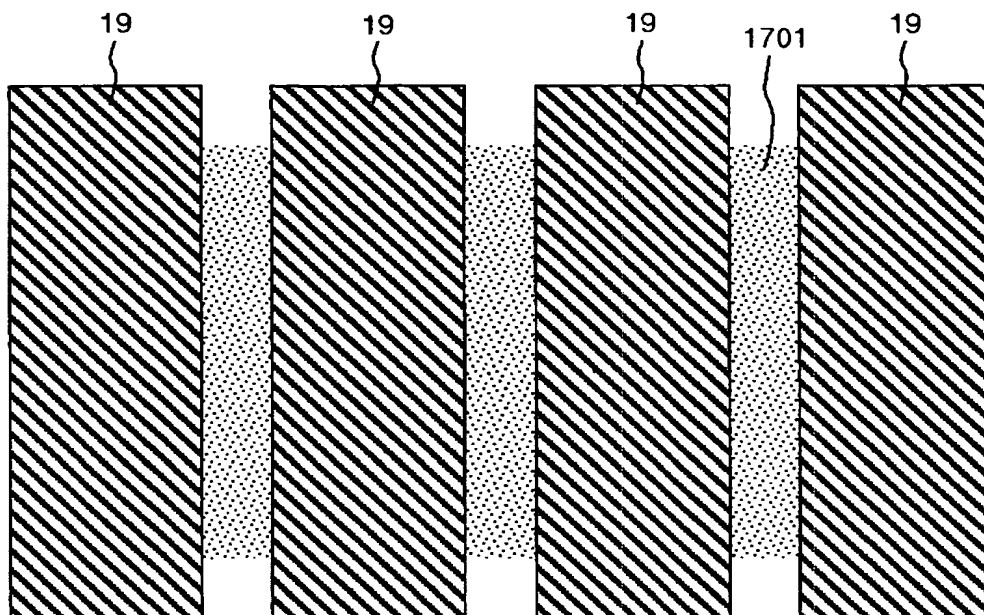
【図 1 3】

図 1 3



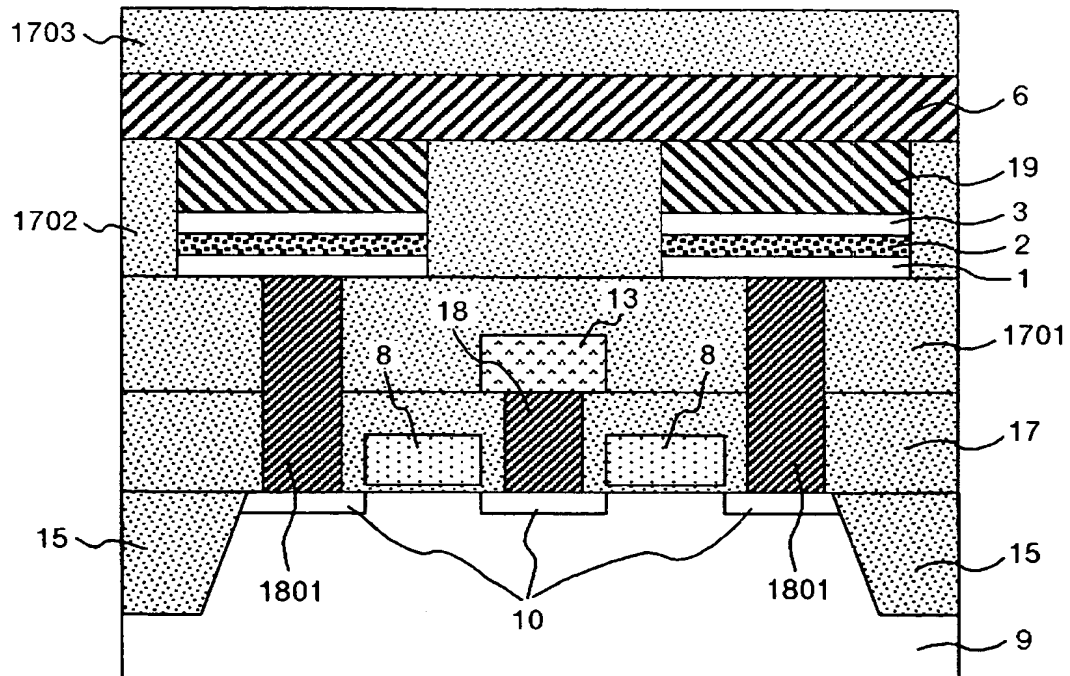
【図 14】

図 14



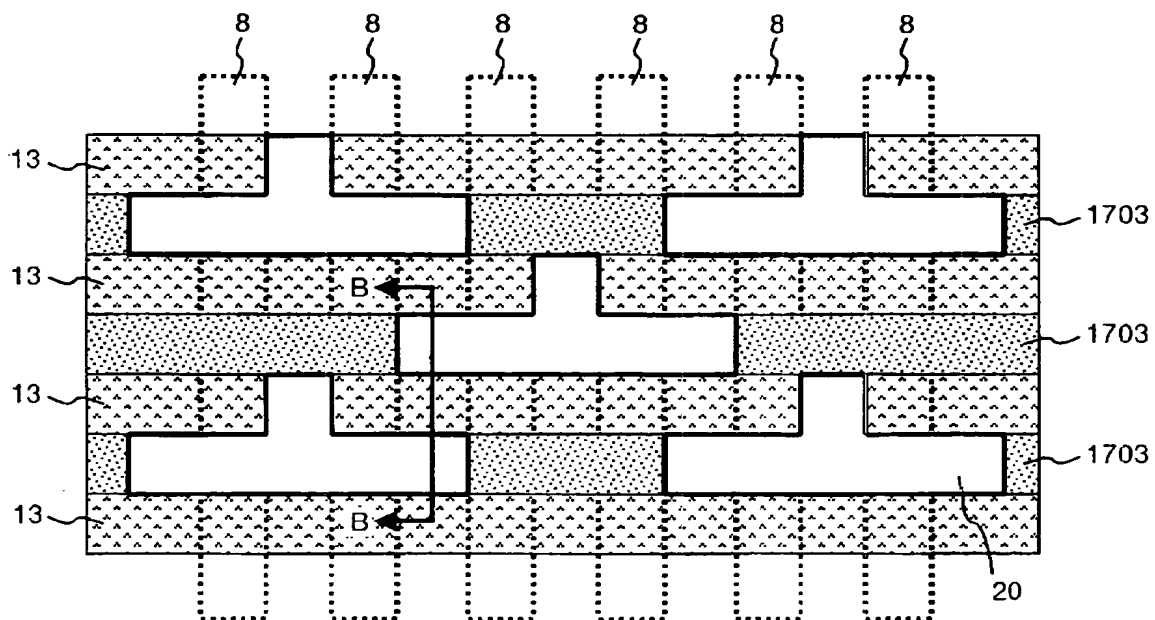
【図 15】

图 15



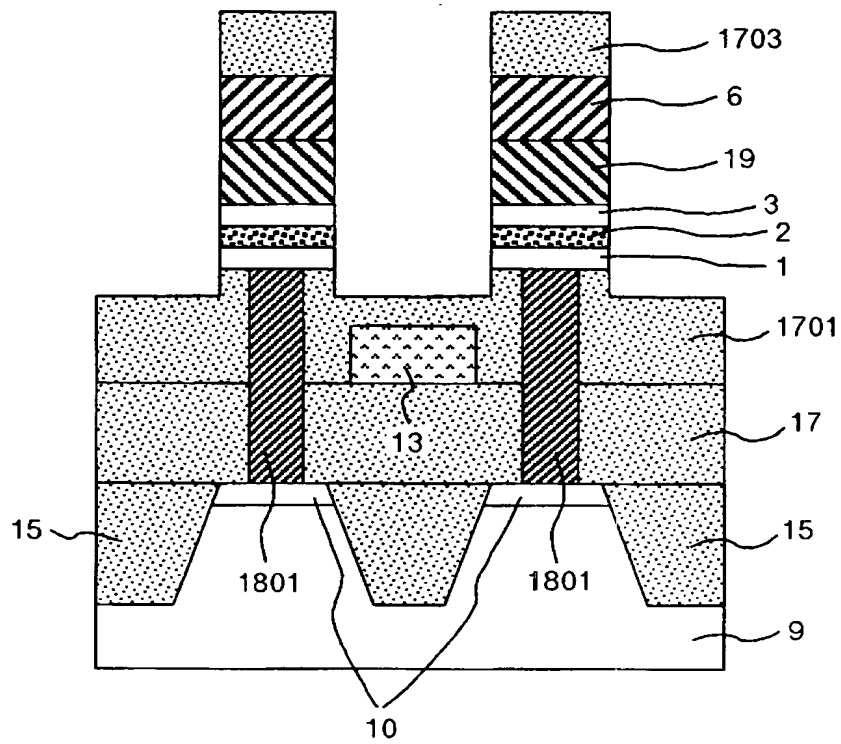
【図 16】

图 16



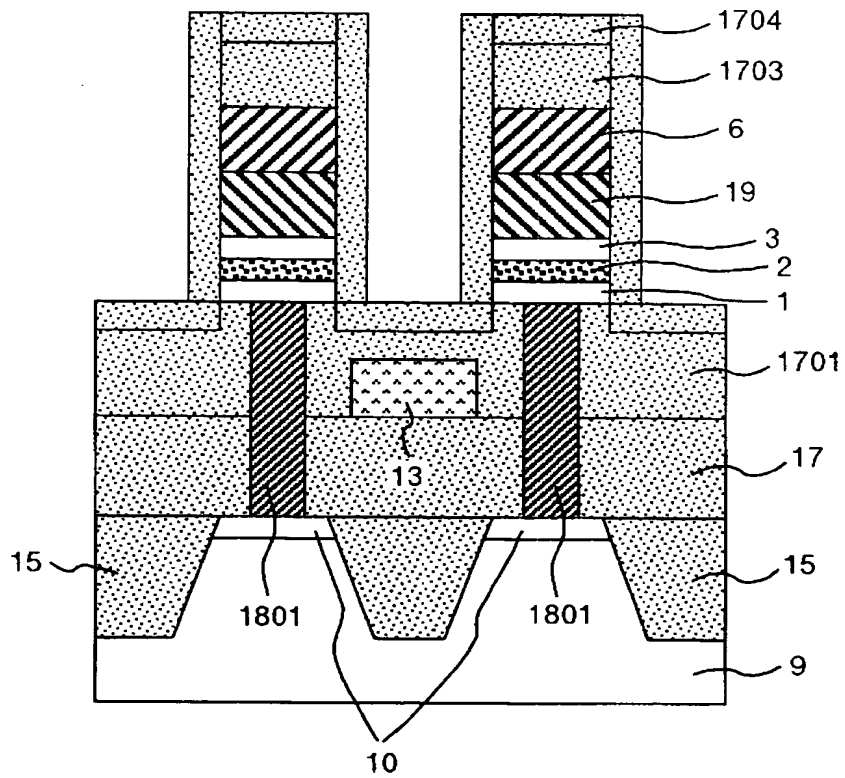
【図 18】

図 18



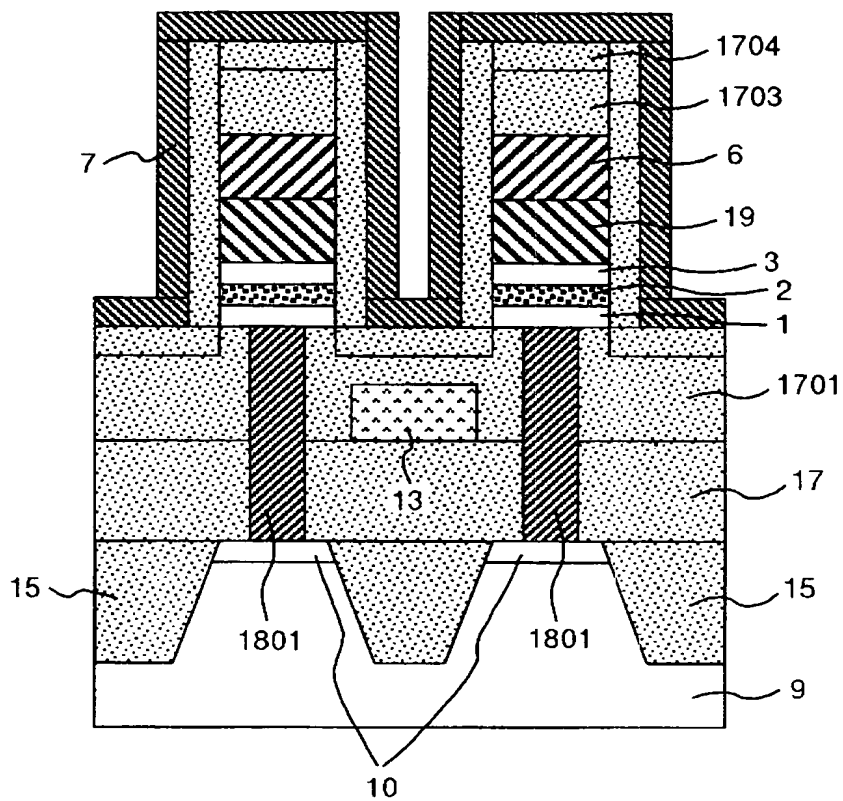
【図 19】

図 19



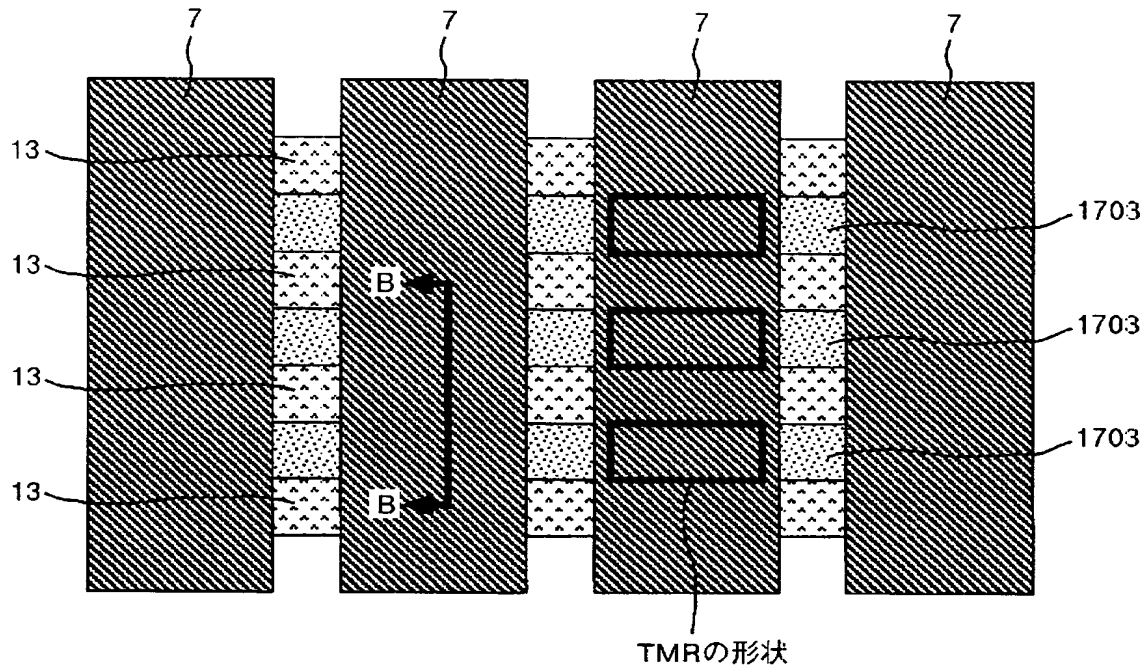
【図 20】

図 20



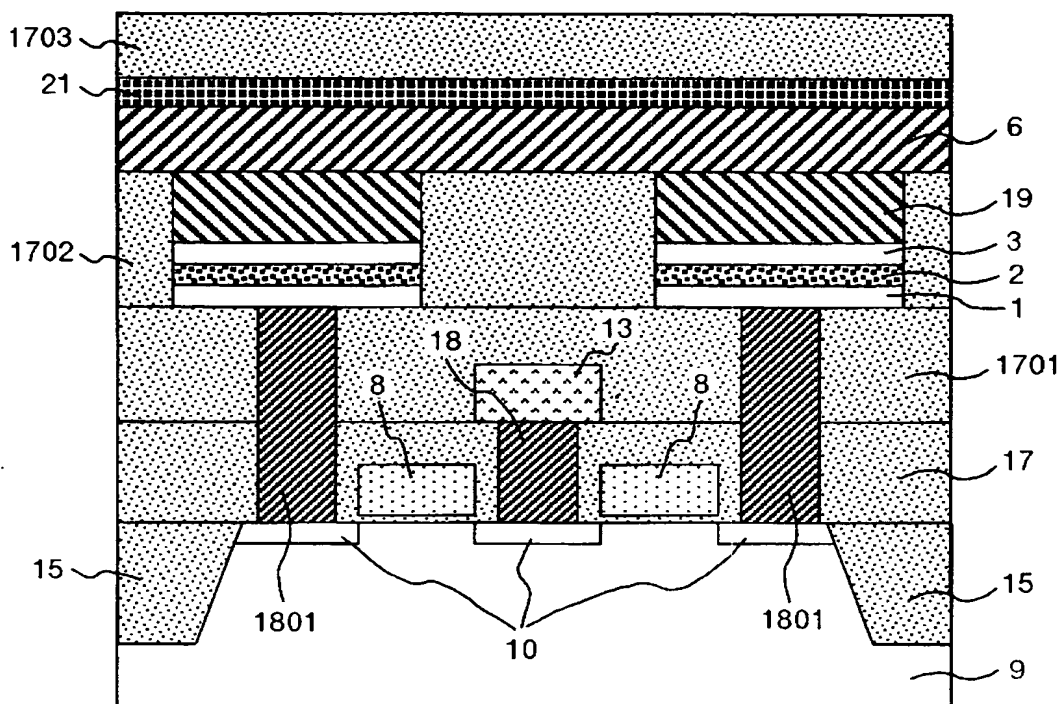
【図 21】

図 21



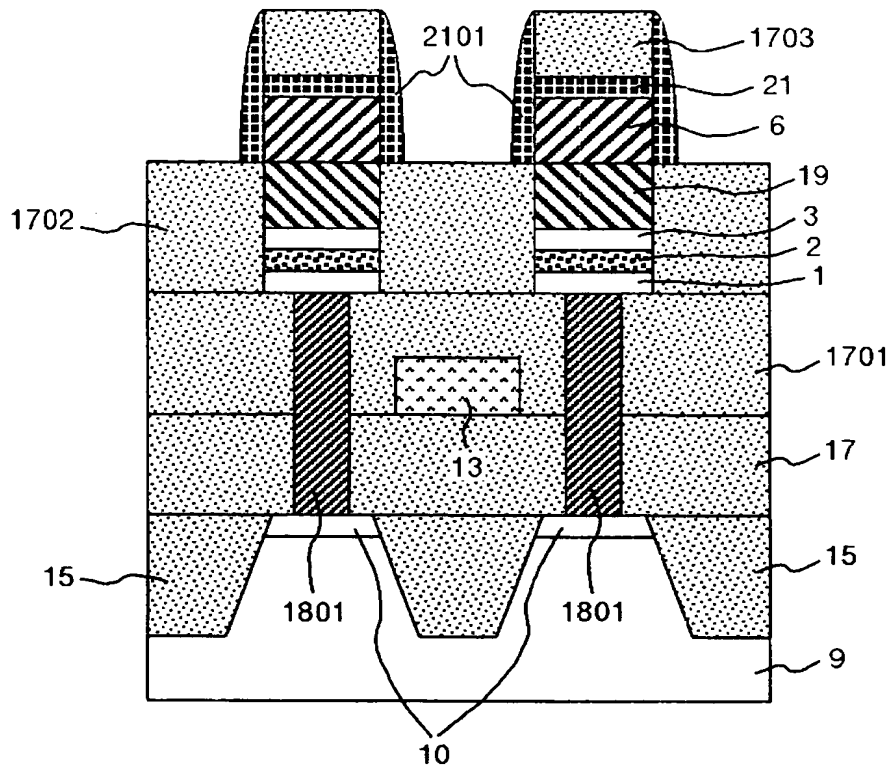
【図 22】

図 22



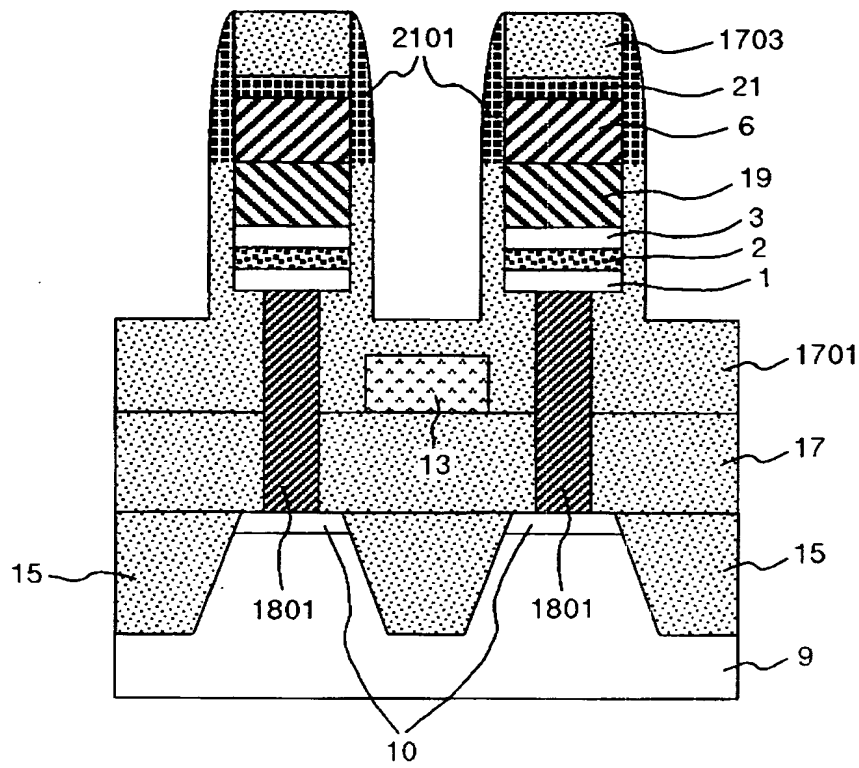
【図 23】

図 23



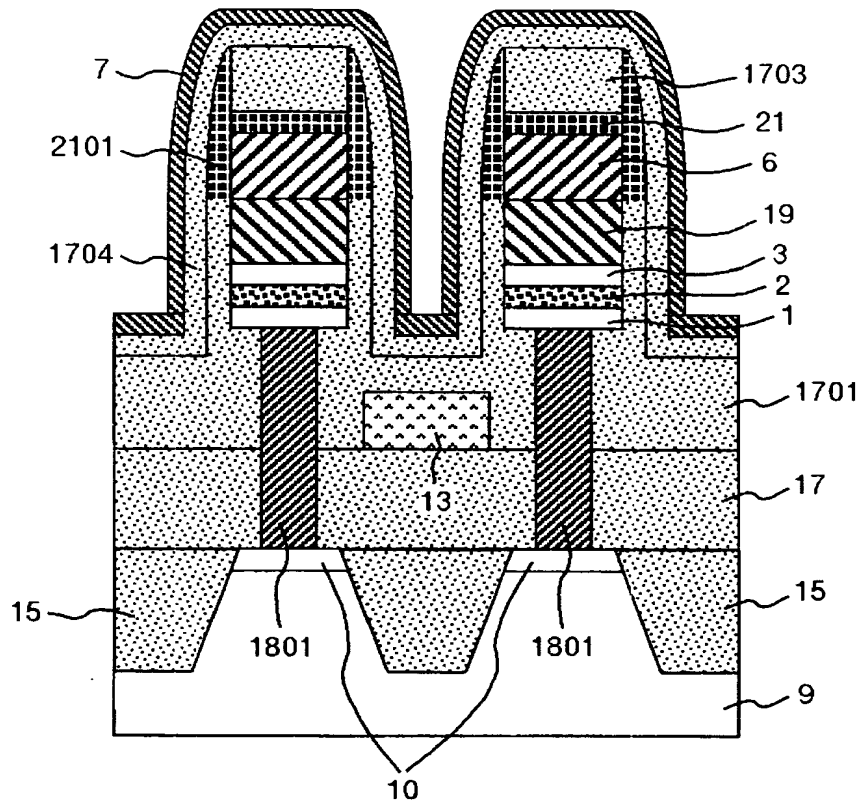
【図 24】

図 24



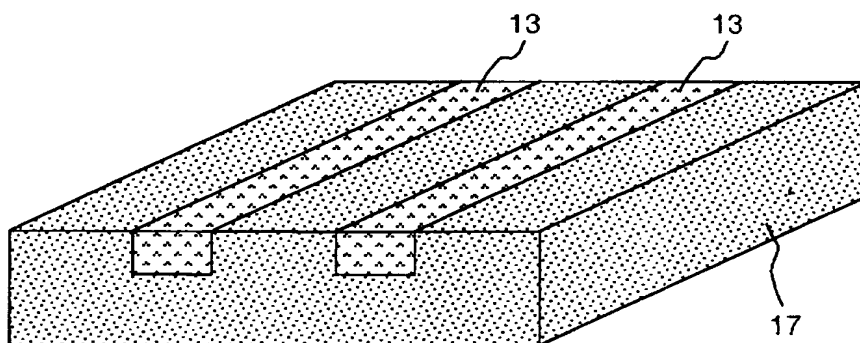
【図 25】

図 25



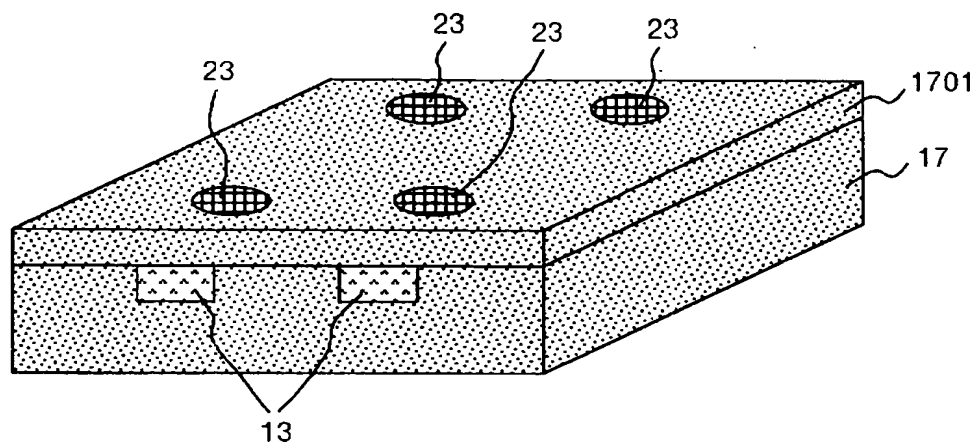
【図 26】

図 26



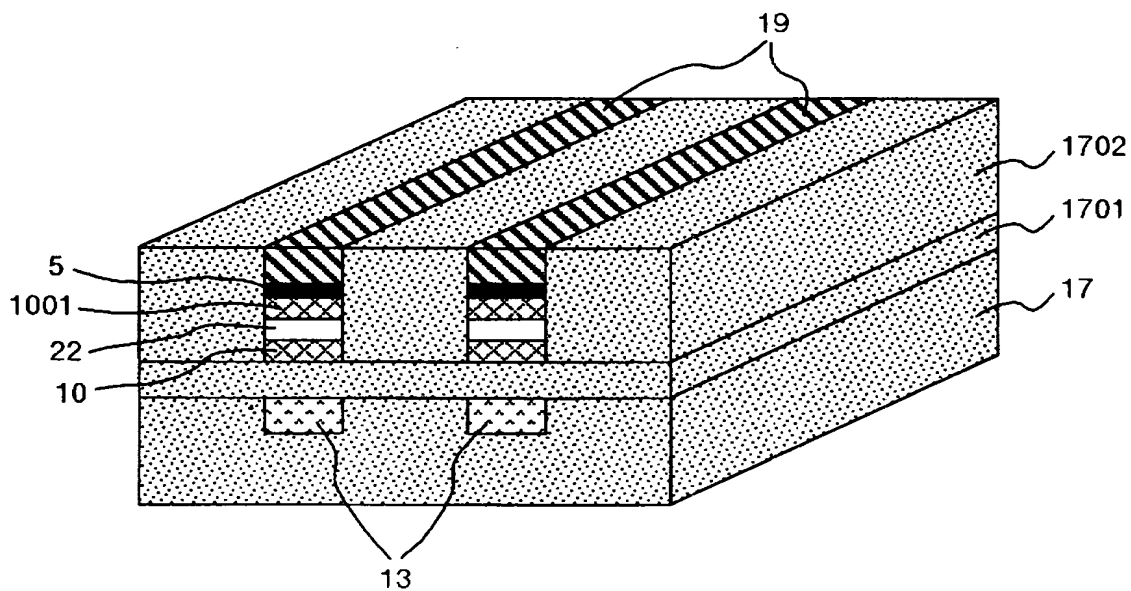
【図 27】

図 27



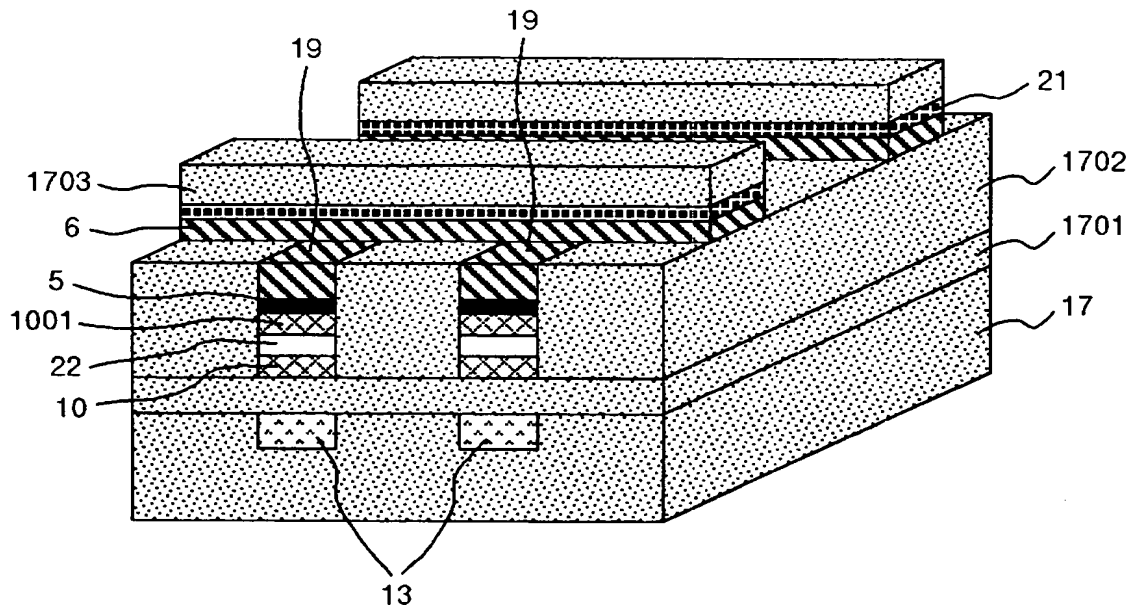
【図 28】

図 28



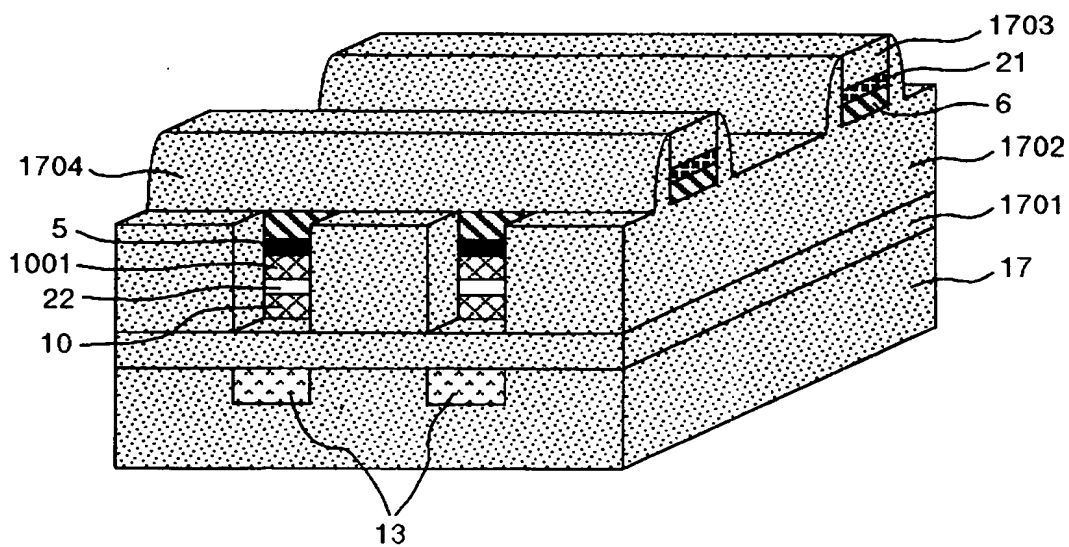
【図 29】

図 29



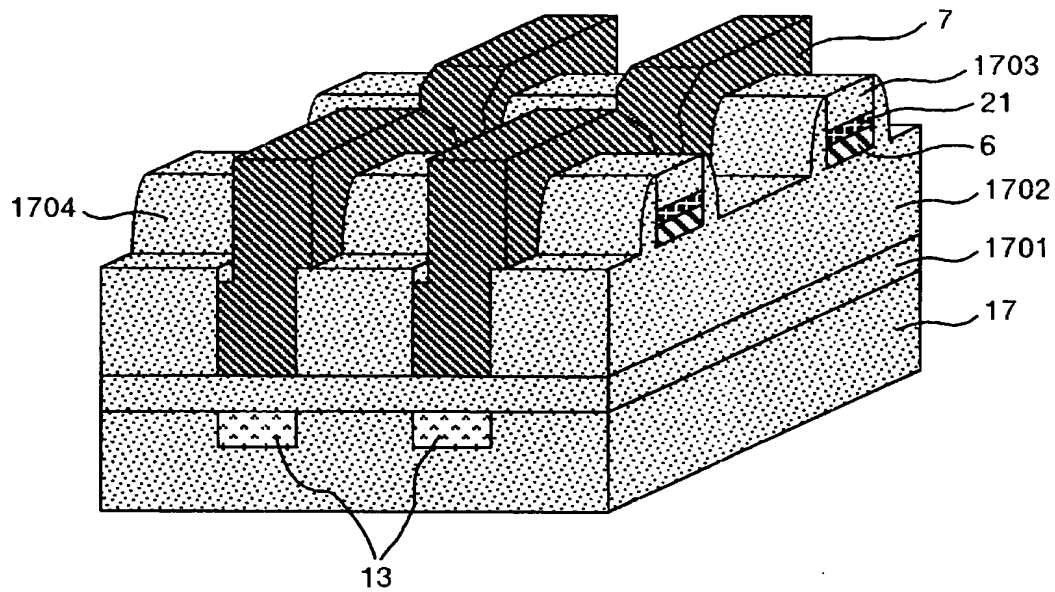
【図 30】

図 30



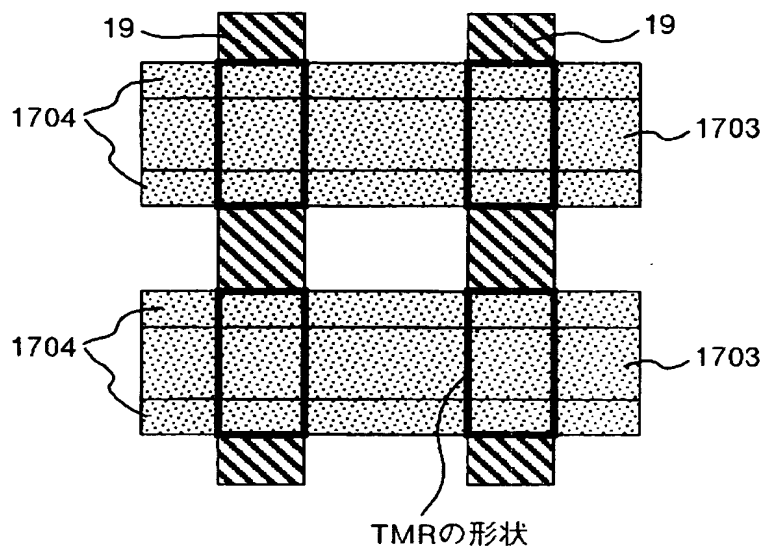
【図 3 1】

図 3 1



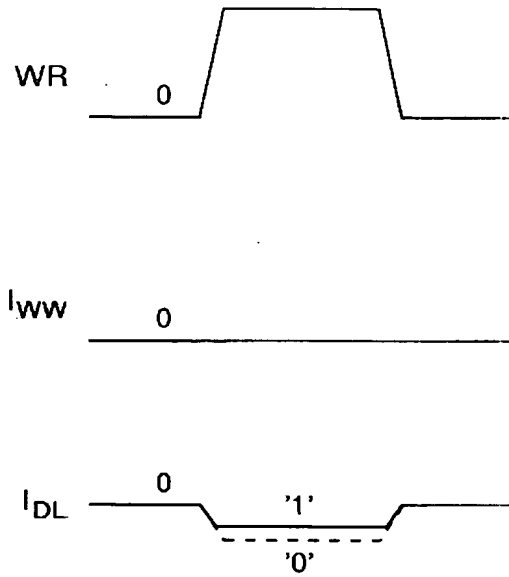
【図 3 2】

図 3 2



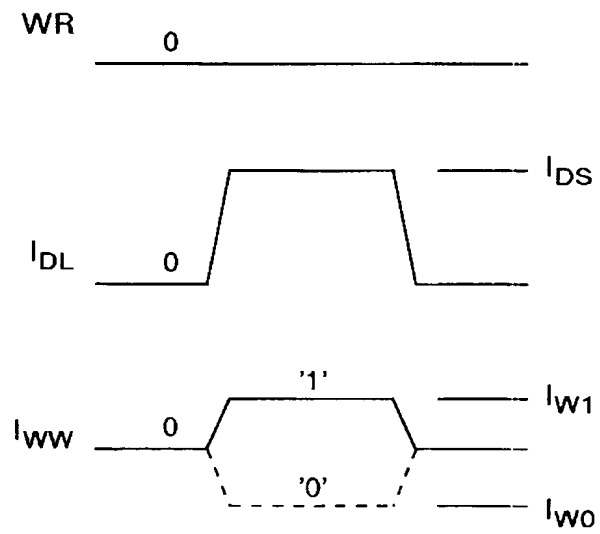
【図 3 3】

図 3 3



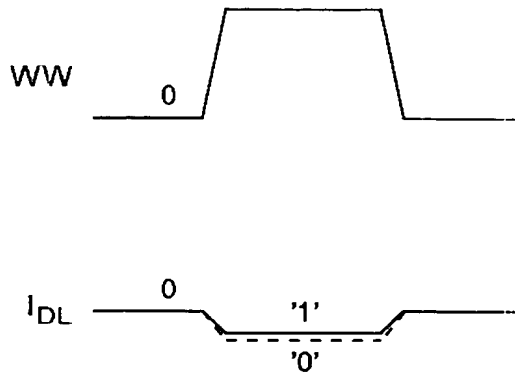
【図 3 4】

図 3 4



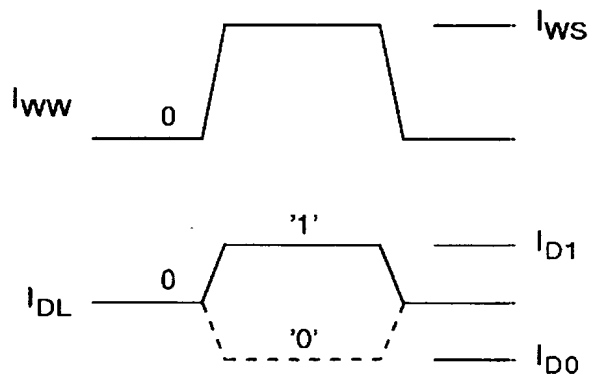
【図 3 5】

図 3 5



【図 3 6】

図 3 6



【書類名】 要約書

【要約】

【課題】

従来のトンネル磁気抵抗を利用した、所謂MRAMのメモリセルは、書き込みワード線がTMRから離れて配置されていたために、本質的にTMR素子に印加される磁場が弱く、書き込み時に大電流を必要とし、消費電力が大きいという問題があった。

【解決手段】

上記課題を解決すべく、本発明では書き込みワード線がTMR素子に近接し、しかも、3方向から覆うMRAMメモリセル構造及びその製造方法を提供する。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-345530

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【提出物件の目録】

【包括委任状番号】 0308735

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 3 2 1 7 5 6 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 5 5 3 0
受付番号	5 0 3 0 1 2 4 9 8 2 9
書類名	出願人名義変更届 (一般承継)
担当官	植田 晴穂 6 9 9 2
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 29 日

特願 2 0 0 2 - 3 4 5 5 3 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 4 5 5 3 0

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ